

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-204721

(43)Date of publication of application : 06.09.1991

(51)Int.CI.

G06F 7/58  
H03K 3/84

(21)Application number : 02-000668

(71)Applicant : HITACHI LTD

(22)Date of filing : 08.01.1990

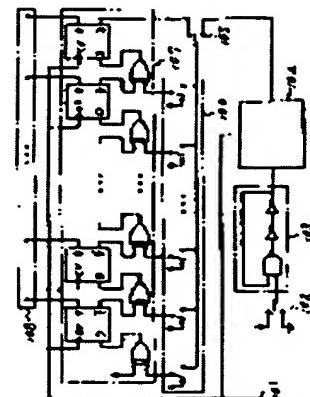
(72)Inventor : IWASAKI KAZUHIKO  
KURISUCHIYAN IZURI

## (54) RANDOM NUMBER GENERATING CIRCUIT

### (57)Abstract:

**PURPOSE:** To prevent the random number pattern from having periodicity by selecting the source of a linear feedback shift register from the element of the pre-stage of the linear feedback shift register or a sampling circuit.

**CONSTITUTION:** The circuit is provided with a free-running type counter 103 which functions as a high frequency oscillator, a switch 102 for controlling an operating or stopping state of this free-running type counter 103, a sampling circuit 104 for sampling a numerical value of said free-running type counter 103 at every clock pulse, a linear feedback shift register LFSR 107 of (n) bits, and (n) pieces of switches 106 for selecting a feedback polynomial of this LFSR. Also, this circuit is provided with a switch 105 for selecting the source of a feedback bit of the LFSR from the element of the pre-stage of the LFSR 107 or the sampling circuit 104. A period of the free-running type counter 103 and a sampling frequency of the sampling circuit 104 have no relation to each other. In such a way, no periodicity is generated in a random number pattern which is generated.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

[Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

## ⑪ 公開特許公報 (A) 平3-204721

⑫ Int. Cl.<sup>5</sup>G 06 F 7/58  
H 03 K 3/84

識別記号

C  
A

庁内整理番号

7056-5B  
8221-5J

⑬ 公開 平成3年(1991)9月6日

審査請求 未請求 求項の数 7 (全6頁)

⑭ 発明の名称 亂数発生回路

⑮ 特 願 平2-668

⑯ 出 願 平2(1990)1月8日

⑰ 発明者 岩崎 一彦 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 発明者 クリストヤン・イズリ 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰ 代 理 人 弁理士 小川 勝男 外1名

## 明細書

## 1. 発明の名称

乱数発生回路

## 2. 特許請求の範囲

## 1. 発振器と、

前記発振器の発振、停止を制御するスイッチと、  
クロックパルス毎に前記発振器の出力をサンプリングするサンプリング回路と、

ルビットの複数フィードバックシフトレジスタと、  
前記複数フィードバックシフトレジスタのフィードバック多項式を選択するn個のスイッチと、

前記複数フィードバックシフトレジスタの最後段要素または前記サンプリング回路から、前記複数フィードバックシフトレジスタのソースを選択するスイッチとを具備したことを特徴とする乱数発生回路。

2. 前記発振器が自走式カウンタであることを特徴とする乱数発生回路。

本とする請求項1記載の乱数発生回路。

3. 前記サンプリング回路が直列接続のクロックインバータを含んで構成されることを特徴とする請求項1または2記載の乱数発生回路。

4. n個の独立した発振器と、

前記n個の発振器の発振、停止をそれぞれ制御するn個のスイッチと、

クロックパルス毎に前記発振器の出力をそれぞれサンプリングするn個のサンプリング回路とを具備したことを特徴とする乱数発生回路。

5. 前記独立した発振器がそれぞれ自走式カウンタであることを特徴とする請求項4記載の乱数発生回路。

6. 前記サンプリング回路が直列接続のクロックインバータを含んで構成されることを特徴とする請求項4または5記載の乱数発生回路。

7. 請求項1ないし6のいずれかに記載の乱数発生回路を内蔵したことを特徴とするマイクロプロセッサ。

3. 発明の詳細な説明

## 【発明上の利用分野】

本発明はコンピュータ装置の分野に使用する乱数発生回路に関するものである。

## 【従来の技術】

乱数発生回路に関する従来の技術としては、線形フィードバックシフトレジスタ（以下LFSRと略称する）を使用して擬似乱数を発生するものが知られている。この従来技術の一例は、エツチ・フジワラ(H. Fujisawa)による、ロジック・テスト・ステイジング・アンド・デザイン・フォア・テスター・リティ (Logic Testing and Design for Testability) の第9章（1985年 マサチューセッツ工科大学出版局 (MIT Press)）に開示されている。

## 【発明が解決しようとする課題】

しかしながら、LFSRを用いた上記従来技術に係る回路において、擬似乱数は周期パターンで発生する。この周期パターンの長さはフィードバック多項式に依存している。さらに、パターン00…0は全く発生されず、LFSRの禁止状態

となつていて、従つて、LFSRは00…0となる点に初期化する必要があるという問題があることが明らかになつた。

本発明の目的は、乱数の発生にCPU時間を要することなく、コンピュータに使用する乱数発生回路を提供することにある。

本発明の他の目的は、大規模パラレルコンピュータにおける各プロセッサ要素の一部として一体化することができる乱数発生回路を提供することにある。

## 【課題を解決するための手段】

上述した目的を達成するために、本発明による乱数発生回路は、高周波発振器として機能する自走式カウンタと、この自走式カウンタの作動または停止状態を制御するスイッチと、クロックパルス毎に前記自走式カウンタの数値をサンプリングするサンプリング回路と、nビットのLFSRと、このLFSRのフィードバック多項式を選択するn個のスイッチと、前記LFSRの前段の要素または前記サンプリング回路から、前記LFSRの

フィードバックビットのソースを選択するスイッチとを具備している。

本発明の乱数発生回路の実施可能な変更例は、異なる容量性電荷によって負荷され、及び／又は異なる個数のインバータを使ったn個の自走式カウンタと、この自走式カウンタの作動または停止状態をそれぞれ制御するn個のスイッチと、前記自走式カウンタの数値をそれぞれサンプリングするn個のサンプリング回路とを使用している。

## 【作用】

自走式カウンタの周期と前記サンプリング回路のサンプリング周波数は相互に関連を持たない。このため、生成される乱数パターンには周期性は生じない。同時に、乱数パターンとして、オール0も生成される。

## 【実施例】

以下図面を用いて本発明の実施例を説明する。

まず第1図および第2図により第1の実施例を説明する。101はシステムクロック入力端子である。また、108はこの回路の出力手段である。

即ち、回路で発生したnビットの乱数は、クロックパルス毎に、出力手段からこの回路を装着したシステムに送給される。103は自走式カウンタであり、102はこのカウンタ103の作動・停止状態を制御するスイッチである。スイッチ102が自走式カウンタ103のNANDゲートの入力端子に論理0を加えると、前記NANDゲートの出力端子は論理1となる。このようにして自走式カウンタが安定状態に固定され、これを停止状態にあるという。一方、スイッチ102が自走式カウンタ103のNANDゲートの入力端子に論理1を加えるとき、前記NANDゲートの出力端子の論理状態はその第2の入力端子の論理値のみによつて決まる。この論理値を論理nと呼ぶこととする。このため、前記NANDゲートの出力端子の論理状態は論理nで表わされる。また、前記NANDゲートの後段には偶数個のインバータが設けられ、最終段のインバータの出力端子はフィードバックして前記NANDゲートの第2の入力端子に接続されている。このため、前記NAND

ゲートの出力端子の論理状態は、前記NANDゲートの第2の入力端子にフィードバック論理信号が戻る毎に変わる。このようにして、回路103が発振する。発振周波数は、この回路のゲートを構成するのに使用するトランジスタがもたらす遅延時間と、インバータの配設個数とに依存している。立上り時間と立下り時間が等しいゲートを構成することによって、自走式カウンタ103が論理0及び論理1と同じ確率で出力できるようになることに留意すべきである。自走式カウンタ103が停止状態にあるとき、このカウンタ103は作動状態にある場合に比して電力消費が相当小さい。104はサンプリング回路である。この回路はクロックパルス毎に自走式カウンタ103の出力をサンプリングする。自走式カウンタ103及びシステムクロックのそれぞれの周波数及び位相は相互に関連するものではない。さらに、自走式カウンタ103の周波数は安定化せず、温度変化または他の外部現象によってドリフトし得るもの、システムクロックの周波数は安定化している。

よってフィードバック多項式として選択されれば、この回路は乱数発生器として機能することとなる。

次に第2図により、第1図中のサンプリング回路104の構成例を説明する。直列接続された3個のクロックインバータ201～203は自走式カウンタ103から送出される入力信号をサンプリングするのに使用される。また2組の並列したクロックインバータ204および205は、クロックパルスの交番位相によって交互に作動する。

次いで第3図により本発明の他の実施例を説明する。301はシステムクロック入力端子である。また308はこの回路の出力手段である。即ち、回路で発生したnビットの乱数は、クロックパルス毎に、出力手段からこの回路を装着したシステムに送給される。303は自走式カウンタであり、302はこの自走式カウンタ303の作動・停止状態を制御するスイッチである。また、309は自走式カウンタの容量性負荷である。ここで、スイッチ302が自走式カウンタ303のNAND

ゲートの入力端子に論理0を加えると、前記NANDゲートの出力端子は論理1に設定される。このようにして、自走式カウンタが安定状態に固定され、これを停止状態にあるという。一方、スイッチ302が自走式カウンタ303のNANDゲートの入力端子に論理1を加えるとき、前記NANDゲートの出力端子の論理状態はその第2の入力端子の論理値のみによって決まる。この論理値を論理 $\bar{x}$ と呼ぶこととする。このため、前記NANDゲートの出力端子の論理状態は論理 $\bar{x}$ で表わされる。また、前記NANDゲートの後段には2個のインバータが設けられ、最終段のインバータの出力端子はフィードバックして前記NANDゲートの第2の入力端子に接続されている。このため、前記NANDゲートの出力端子の論理状態は、前記NANDゲートの第2の入力端子にフィードバック論理信号が戻る毎に変わる。このようにして、回路303が発振する。発振周波数は、この回路のゲートを構成するのに使用するトランジスタがもたらす遅延時間と、容量性負荷309とに依存す

している。ここで、立上り時間と立下り時間が等しいゲートを構成することによって、自走式カウンタ303が論理0及び論理1を同等に出力し得るようになることに留意すべきである。自走式カウンタ303が停止状態にあるとき、このカウンタ303は作動状態にある場合に比して電力消費が相当小さい。304はサンプリング回路である。この回路はクロックパルス毎に自走式カウンタ303の出力をサンプリングする。ここで、自走式カウンタ303及びシステムクロックのそれぞれの周波数及び位相は相互に関連するものではない。その上、自走式カウンタ303の周波数は安定化せず、温度変化または他の外部現象によってドリフトし得るもの、システムクロックの周波数は安定化している。従つて、サンプリング回路304の出力は、論理0及び論理1のランダム流れとして考えることができる。ここで立上り時間と立下り時間が等しいゲートを構成することによって、サンプリング回路304がカウンタ出力から論理0及び論理1を同等にサンプリ

ングし得るようになることに注意すべきである。第3回の乱数発生回路は、丁度上述した自走式カウンタとサンプリング回路との直列回路を並列に2個使用している。異なる容量性負荷及び／又は異なる寸法のトランジスタ、及び／又は異なる種類のインバータを使用してそれぞれの自走式カウンタ回路を構成することにより、異なる自走式カウンタのそれぞれの発振周波数は相互に独立し、このため発生する乱数のビットが相応じて相互に独立することとなる。2個のスイッチを設けて2個の自走式カウンタの状態を制御するようにしていることから、この乱数発生回路のユーザーは、発生させるべき乱数の範囲を選択することができる。例えば、0ないし7の範囲にある乱数を発生させるのであれば、最下位から3番目までのビットを制御する3個のスイッチをオンに切り換えて、残りのスイッチはオフに切り換える。こうすることによって、電力消費を低減し、かつ使用しない高位のビットをマスクしなくとも済む。

本発明のさらに他の実施例を第4図を用いて説

明する。第3回の実施例と第4回の実施例の相違は以下の2点である。その第1は、自走式カウンタの構成である。第3回では、自走式カウンタ303は1個のNANDゲートと2個のインバータから構成され、蓄積309によって、自走式カウンタの周期が決定されていた。一方、第4回の構成では、自走式カウンタ303'は1個のNANDゲートと偶数個のインバータから構成されている。第2の相違点は、自走式カウンタの作動／停止状態の制御方法である。第3回では、スイッチ302を用いるのに対し、第4回では制御レジスタ310と入力信号線311を用いて自走カウンタの作動／停止状態の制御をおこなっている。

第4回の実施例では、第3回の実施例と同様、自走式カウンタの周期とサンプリング回路のサンプリング周波数が相互に関連しておらず、周期性を持たない乱数パターンが生成される。

第5回は、本発明の乱数発生器を内蔵したマイクロプロセッサの一例を示す図である。第4回において、演算器401、レジスタ402がバス

403、404、405に接続されている。乱数発生器406は、信号線308を通してバス404に接続されており、信号線311を通してバス405に接続されている。クロック301は演算器401、レジスタ402、乱数発生器406に共通に供給されている。乱数発生器406の作動／停止状態の制御は、バス405、信号線311を通して乱数発生器406に入力される。また、乱数発生器406で生成された乱数は、信号線308、バス404を通して、演算器401、レジスタ402へ転送される。

#### 【発明の効果】

以上述べたように本発明によれば、自走式カウンタの周期とサンプリング回路の周波数が相互に関連を有しておらず、生成される乱数パターンが周期性を持たないという利点がある。

また、本発明の乱数発生器をマイクロプロセッサに内蔵することにより、乱数を多用する応用（例えばモンテカルロシミュレーション）に適したマイクロプロセッサが提供できる。

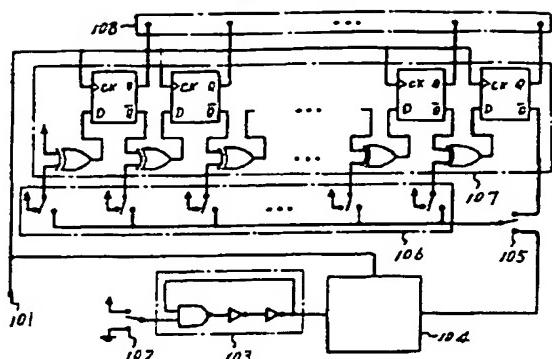
さらに、本発明の乱数発生器を内蔵するマイクロプロセッサを相互に結合して成るコンピュータシステムにおいて、各々のマイクロプロセッサの乱数発生器は、プロセスのパラッキ等によって、発振の周波・位相が相互に関連しない。従つて、本発明の乱数発生器は、マイクロプロセッサを多数用いるコンピュータシステムに対して有効である。

## 4. 図面の簡単な説明

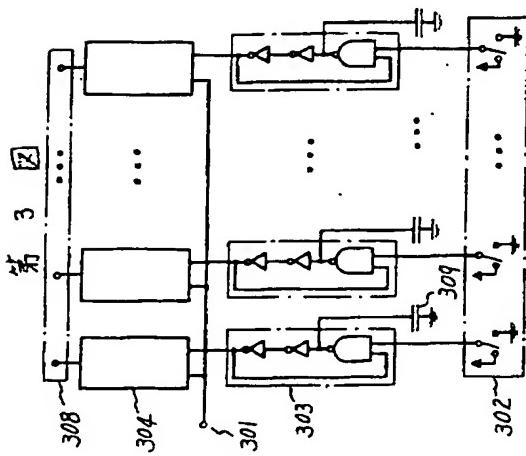
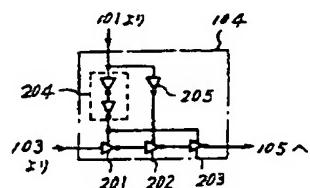
第1図は本発明の一実施例を示す回路構成図、第2図は第1図に示したサンプリング回路の構成を示す回路図、第3図および第4図は本発明の他の実施例を示す回路構成図、第5図は本発明の乱数発生回路を内蔵したマイクロプロセッサの構成を示す図である。

103, 303…自走式カウンタ、104, 304…サンプリング回路、106, 107…線形フィードバックシフトレジスタ、310…制御レジスタ、401…演算器、402…レジスタ、406…乱数発生器。

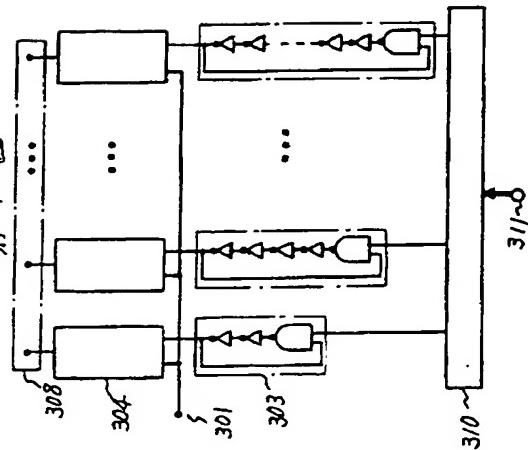
第1図



第2図



第3図



第 5 図

